

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145286

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/768  
21/316  
21/8234  
27/088  
27/108

H 0 1 L 21/90  
21/316  
21/90  
27/08  
27/10  
A  
G  
M  
1 0 2 D  
6 2 1 C

審査請求 未請求 請求項の数 8 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願平9-308239

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(22) 出願日 平成 9 年 (1997) 11 月 11 日

(72) 発明者 榎本 裕之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置の製造方法

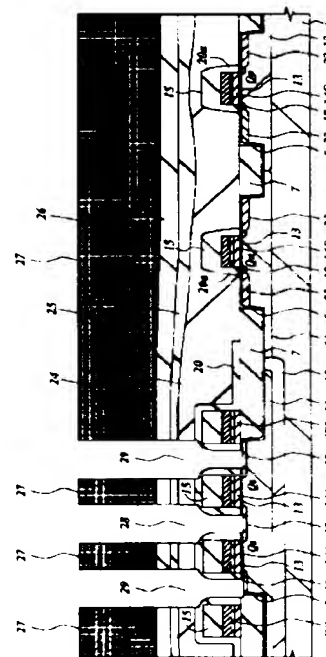
(57) 【要約】

【課題】 窒化シリコン膜をエッチングストップに用いた SAC (セルフアラインコンタクト) 技術によってゲート電極のスペースの SOG 膜にコンタクトホールを形成する際、コンタクトホールの非開孔を生じることなく、SOG 膜・窒化シリコン膜の選択比を向上する。

【解決手段】 半導体基板 1 上に形成したゲート電極 14A (ワード線 WL) のスペースを埋め込む SOG 膜 24 の材料に F T F R スペクトル強度比 (S i - N / S i - O) が 5 % 以下のホリシラゼン系無機 SOG を使用し、窒化シリコン膜 20 をエッチングストップに用いたドライエッチングでゲート電極 14A (ワード線 WL) のスペースの SOG 膜 24 にセルフアラインでコンタクトホール 28、29 を形成する際に、エッチングが途中で停止する不具合を防止する。

図 16

24 : SOG 膜



## 【特許請求の範囲】

【請求項1】 以下の工程(a)～(c)を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に複数の電極配線を形成した後、前記複数の電極配線の上に窒化シリコン膜を堆積する工程、(b) 前記窒化シリコン膜で覆われた前記複数の電極配線の上に、S i - O 結合に対するS i - N 結合の割合が5%以下(赤外線スペクトル強度比換算)の無機S O G膜をスピン塗布して、前記複数の電極配線間のスペースに前記無機S O G膜を埋め込む工程、

(c) 前記窒化シリコン膜をエッチングストップバに用いて前記無機S O G膜をドライエッチングすることにより、前記複数の電極配線間のスペースに接続孔を形成する工程

【請求項2】 以下の工程(a)～(c)を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に複数のM I S F E T のゲート電極を形成した後、前記複数のゲート電極の上に窒化シリコン膜を堆積する工程、(b) 前記窒化シリコン膜で覆われた前記複数のゲート電極の上に、S i - O 結合に対するS i - N 結合の割合が5%以下(赤外線スペクトル強度比換算)の無機S O G膜をスピン塗布して、前記複数のゲート電極間のスペースに前記無機S O G膜を埋め込む工程、(c) 前記窒化シリコン膜をエッチングストップバに用いて前記無機S O G膜をドライエッチングすることにより、前記複数のゲート電極間のスペースに接続孔を形成する工程

【請求項3】 請求項2記載の半導体集積回路装置の製造方法であって、前記複数のM I S F E T は、D R A M のメモリセルの一部を構成するメモリセル選択用M I S F E Tであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、前記接続孔は、前記メモリセル選択用M I S F E T のソース、ドレインの一方とビット線とを電気的に接続する第1の接続孔、および前記メモリセル選択用M I S F E T のソース、ドレインの他方と前記D R A M のメモリセルの他方一部を構成する情報蓄積容量素子とを電気的に接続する第2の接続孔のうち、少なくとも一方であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1～4のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記接続孔の底部の深さは、フォトリソグラフィの解像限界で決まる最小寸法以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 以下の工程(a)～(c)を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に、少なくともその上部に酸化金属膜が積層されたアルミニウム系の導電膜からなる

配線を形成する工程、(b) 前記配線の上に、S i - O 結合に対するS i - N 結合の割合が5%以下(赤外線スペクトル強度比換算)の無機S O G膜をスピン塗布することにより、前記配線の上に前記無機S O G膜を含んだ層間絶縁膜を形成する工程、(c) 前記無機S O G膜を含んだ層間絶縁膜をドライエッチングすることにより、前記配線の上に前記配線とその上層の配線とを電気的に接続する接続孔を形成する工程

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、ホリシラゼン系の無機S O Gに酸化反応促進剤を添加することによって、前記S i - O 結合に対するS i - N 結合の割合が5%以下(赤外線スペクトル強度比換算)の無機S O G膜を得ることを特徴とする半導体集積回路装置の製造方法

【請求項8】 請求項1～7のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記無機S O G膜にリンまたはホウ素、あるいはそれらの両方を添加することを特徴とする半導体集積回路装置の製造方法

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、窒化シリコン膜をエッチングストップバに用いたセルフアラインコンタクト(Self Align Contact; SAC)技術を利用してM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)のゲート電極間に微細なコンタクトホールを形成するプロセスに適用して有効な技術に関するものである。

## 【0002】

【従来の技術】D R A M (Dynamic Random Access Memory)のメモリセルは、半導体基板の主面にマトリクス状に配列した複数のワード線と複数のビット線との交点に配置され、1個の情報蓄積容量素子とこれに直列に接続された1個のメモリセル選択用M I S F E T (Metal Insulator Semiconductor Field Effect Transistor)とで構成されている。メモリセル選択用M I S F E T は、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一方の半導体領域により構成されている。ビット線は、メモリセル選択用M I S F E T の上部に配置され、その延在方向に隣接する2個のメモリセル選択用M I S F E T によって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積容量素子は、同じくメモリセル選択用M I S F E T の上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】上記のように、D R A M のメモリセルは、ワード線の上部にビット線と情報蓄積容量素子とが配置され、さらにこのメモリセルの上部には、通常複数層のA 1 (アルミニウム)配線が配置される。そのため、

メモリアレイの領域内にはこれらの電極、配線に起因する段差が不可避免的に発生する。また、メモリアレイが形成される領域(メモリアレイ)と周辺回路領域との間にも、ほぼ情報蓄積用容量素子の高さに相当する段差が発生する。

【0004】しかし、このような段差上に配線を形成すると、フォトリソグラフィ時に露光光の焦点ずれが生じたり、段差部にエッチング残りが生じたりするために、配線を精度良く形成することができず、短絡や断線などの不良が発生する。従って、これらの問題を解決するためには、下層の配線と上層の配線とを絶縁する層間絶縁膜の平坦化技術が不可欠となる。

【0005】層間絶縁膜の平坦化については、リフロー性が高いBPSG(Boron-doped Phospho-Silicate Glass)膜やSOG(スピンオンガラス(Spin-on Glass))膜を用いる方法や、化学的機械研磨(Cheical-Mechanical Polishing: CMP)法など、種々の方法が開発されている。

【0006】例えば特開平9-14303号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタオーバービットライン(Capacitor Over Bitline)構造のDRAMを開示している。この公報に記載されたDRAMは、ワード線(ゲート電極)とその上部のビット線との間の絶縁膜、およびビット線とその上部の情報蓄積用容量素子との間の絶縁膜をそれぞれBPSG膜で構成することによって、絶縁膜の平坦化を図っている。また、このDRAMは、情報蓄積用容量素子とその上部のAl配線との間の絶縁膜を酸化シリコン膜、SOG膜および酸化シリコン膜の3層膜で構成することによって、メモリアレイと周辺回路領域との間に生じる段差の低減を図っている。

【0007】また、特開平9-145766号公報に記載されたDRAMは、B(ホウ素)を高濃度(13モル%程度)に含んだリフロー性の高いBPSG膜を使って、メモリアレイと周辺回路領域との間に生じる段差の低減を図っている。

【0008】

【発明が解決しようとする課題】前記公報に記載された従来技術は、ワード線(ゲート電極)とその上部のビット線との間の絶縁膜をBPSG膜で構成することによって、ワード線(ゲート電極)の段差に起因する絶縁膜の段差を平坦化している。

【0009】しかし、256Mbit(メガビット)以降のDRAMでは、メモリセルを構成するメモリセル選択用M1SFETのゲート長が、20μm以下となり、カバレッジするワード線(ゲート電極)同士のスペースもそれと同様もしくはそれ以下となるために、BPSG膜を高温で長時間リフローさせても、このスペースに生じたボイドを完全に無くすることが困難になり、ワード線(ゲート電極)の上部の絶縁膜の平坦性を確保することができなくなる。

【0010】従って、256Mbit以降のDRAMでは、ワード線(ゲート電極)の上部の絶縁膜を、BPSG膜よりもリフロー性が高いSOG膜で構成することによって、ワード線(ゲート電極)のスペースにボイドを生じることなく絶縁膜を埋め込む技術が必要になるものと考えられる。

【0011】しかし他方で、ワード線(ゲート電極)の上部の絶縁膜をSOG膜で構成した場合には、窒化シリコン膜をエッチングストップに用いたSAC(セルフアラインコンタクト)技術を利用してゲート電極のスペースに微細なコンタクトホールを形成する際に、BPSG膜に比べて対窒化シリコン膜の選択比が小さいSOG膜の選択比を如何にして向上させるか課題となる。

【0012】すなわち、SOG膜、窒化シリコン膜の選択比が小さい場合には、ゲート電極の側壁に形成した窒化シリコンのサイドウォールスペースがスパークイオンでオーバーエッチングされるために、コンタクトホールとゲート電極がショートしてしまう。他方で、(炭素、フッ素)比の高いフルオロカーボン系のガス(C<sub>4</sub>F<sub>8</sub>、C<sub>3</sub>F<sub>8</sub>、C<sub>2</sub>F<sub>6</sub>など)を多く含有するエッチングガスを使用してSOG膜、窒化シリコン膜の選択比を大きくしようとすると、エッチング反応で生成したフルオロカーボン系の保護膜がSOG膜の表面に堆積するようになるために、SOG膜のエッチングが途中で停止してコンタクトホールが開孔できなくなるという問題が生じる。

【0013】本発明の目的は、窒化シリコン膜をエッチングストップに用いたSAC(セルフアラインコンタクト)技術を利用してゲート電極のスペースに埋め込んだSOG膜にコンタクトホールを形成する際に、コンタクトホールの非開孔を生じることなく、SOG膜、窒化シリコン膜の選択比を向上することのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】(1)本発明の半導体集積回路装置の製造方法は、以下の工程(a)～(c)を含んでいる。

【0017】(a)半導体基板の主面上に複数の電極配線を形成した後、前記複数の電極配線の上に窒化シリコン膜を堆積する工程、(b)前記窒化シリコン膜で覆われた前記複数の電極配線の上に、Si—N結合に対するSi—N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOG膜をスピン塗布して、前記複数の電極配線間のスペースに前記無機SOG膜を埋め込

む工程、(c)前記窒化シリコン膜をエッチングストッパに用いて前記無機SOG膜をドライエッチングすることにより、前記複数の電極配線間のスペースに接続孔を形成する工程。

【0018】(2)本発明の半導体集積回路装置の製造方法は、以下の工程(a)～(e)を含んでいる。

【0019】(a)半導体基板の主面上に複数のMISFETのゲート電極を形成した後、前記複数のゲート電極の上部に窒化シリコン膜を堆積する工程、(b)前記窒化シリコン膜で覆われた前記複数のゲート電極の上部に、S<sub>i</sub>-O結合に対するS<sub>i</sub>-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOG膜をスピン塗布して、前記複数のゲート電極間のスペースに前記無機SOG膜を埋め込む工程、(c)前記窒化シリコン膜をエッチングストッパに用いて前記無機SOG膜をドライエッチングすることにより、前記複数のゲート電極間のスペースに接続孔を形成する工程。

【0020】(3)本発明の半導体集積回路装置の製造方法は、前記複数のMISFETがDRAMのメモリセルの一部を構成するメモリセル選択用MISFETである。

【0021】(4)本発明の半導体集積回路装置の製造方法は、前記接続孔が、前記メモリセル選択用MISFETのソース・ドレイン一方とビット線とを電気的に接続する第1の接続孔、および前記メモリセル選択用MISFETのソース・ドレインの他方と前記DRAMのメモリセルの他の一部を構成する情報蓄積容量素子とを電気的に接続する第2の接続孔のうち、少なくとも一方である。

【0022】(5)本発明の半導体集積回路装置の製造方法は、前記接続孔の底部の径が、フォトリソグラフィの解像限界で決まる最小寸法以下である。

【0023】(6)本発明の半導体集積回路装置の製造方法は、以下の工程(a)～(c)を含んでいる。

【0024】(a)半導体基板の主面上に、少なくともその上部に窒化金属膜が積層されたアルミニウム系の導電膜からなる配線を形成する工程、(b)前記配線の上部に、S<sub>i</sub>-O結合に対するS<sub>i</sub>-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOG膜をスピン塗布することにより、前記配線の上部に前記無機SOG膜を含んだ層間絶縁膜を形成する工程、(c)前記無機SOG膜を含んだ層間絶縁膜をドライエッチングすることにより、前記配線の上部に前記配線とその上層の配線とを電気的に接続する接続孔を形成する工程。

【0025】(7)本発明の半導体集積回路装置の製造方法は、ポリシラザン系の無機SOGに酸化反応促進剤を添加することによって、S<sub>i</sub>-O結合に対するS<sub>i</sub>-N結合の割合が5%以下(赤外線スペクトル強度比換算)の無機SOGを得るものである。

【0026】(8)本発明の半導体集積回路装置の製造

方法は、前記無機SOG膜にリンまたはホウ素、あるいはそれらの両方を添加する。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0028】図1は、ポリシラザン(poly silazane)系の無機SOG(スピニングガラス)の分子構造を示す模式図である。図示のように、ポリシラザン系の無機SOGは、基本骨格がS<sub>i</sub>-N結合で構成された原料ポリマーを酸素および水を含む雰囲気中でバークし、S<sub>i</sub>-N結合をS<sub>i</sub>-O結合に置換することにより得られる。但し、このときすべてのS<sub>i</sub>-N結合がS<sub>i</sub>-O結合に置換されるわけではなく、通常は、FT-IRのスペクトル強度比、S<sub>i</sub>-N/S<sub>i</sub>-Oの換算で10数%程度のS<sub>i</sub>-N結合が残留した無機SOG膜が得られる。

【0029】本発明者は、上記原料ポリマー中に酸化反応促進剤を添加してバークを行うことにより、S<sub>i</sub>-N/S<sub>i</sub>-Oの割合、FT-IRのスペクトル強度比換算、以下同様)が5%以下の無機SOG膜を調製した。酸化反応促進剤には主にメチルアルコールを使用した。それ以外の低級アルコール(エチルアルコール、プロピルアルコールなど)を添加した場合でも同様の結果が得られた。

【0030】図2は、酸化反応促進剤の添加量を変えた原料ポリマーをシリコン基板上にスピン塗布してバーク処理した結果得られた3種の無機SOG膜(a)、

(b)、(c)のFT-IRスペクトル強度比(S<sub>i</sub>-N/S<sub>i</sub>-O)を示すグラフである。図の横軸はIRの波数(Wave Number)、縦軸はスペクトル強度(Intensity)をそれぞれ示し、図中の破線はS<sub>i</sub>-N結合のスペクトル(波数900)を示している。これら3種の無機SOG膜(a)、(b)、(c)のスペクトル強度比(S<sub>i</sub>-N/S<sub>i</sub>-O)は、それぞれ1.1%、3.4%、20.4%である。

【0031】次に、図3(a)に示すように、単結晶シリコンの半導体基板1を用意し、その表面にSOG膜2と酸化シリコン膜3とを順次堆積した後、酸化シリコン膜3の上部に孔径を少しずつ変えたフォトレジスト膜4を形成し、このフォトレジスト膜4をマスクにして上記酸化シリコン膜3とSOG膜2とを順次ドライエッチングした。SOG膜2は、前記3種の無機SOG膜

(a)、(b)、(c)をそれぞれ単独で使用した。また、酸化シリコン膜3はCVD法で堆積した。

【0032】また、比較例として、図3(b)に示すように、酸素(O<sub>2</sub>)とテトラエトキシランとをソースガスに用いたクラスマCVD法で半導体基板1の表面に酸化シリコン膜(p-TFOS)膜6を堆積した後、p-TFOS膜6の上部に孔径を少しずつ変えたフォトリ

ジスト膜4を形成し、このフォトレジスト膜4をマスクにして酸化シリコン膜6をドライエッチングした。p-TEOS膜は、酸化シリコン膜に対するドライエッチング選択比が高いことが知られている。

【0033】次に、上記フォトレジスト膜4の孔径とエッチング深さとの関係を、前記3種の無機SiO<sub>2</sub>G膜(a)、(b)、(c)を使用した場合とp-TEOS膜6を使用した場合とでそれぞれ測定し、図4に示す結果を得た。

【0034】図2から得られた3種の無機SiO<sub>2</sub>G膜(a)、(b)、(c)のFET-IRスペクトル強度比( $S_{11}/N_{11} = S_{11}/(N_{11} + S_{11})$ )と、図4から得られた3種の無機SiO<sub>2</sub>G膜(a)、(b)、(c)の対p-TEOS膜エッチング速度比の関係を図5に示す。このグラフから、無機SiO<sub>2</sub>G膜のスペクトル強度比( $S_{11}/N_{11} = S_{11}/(N_{11} + S_{11})$ )が低下するにつれてそのエッチング速度がp-TEOS膜のそれに近づき、スペクトル強度比が5%以下になると対p-TEOS膜エッチング速度比が0.6以上となることが分かる。

【0035】以上のことから、スペクトル強度比( $S_{11}/N_{11} = S_{11}/(N_{11} + S_{11})$ )が5%以下の無機SiO<sub>2</sub>G膜を使用することにより、SiO<sub>2</sub>G膜/酸化シリコン膜の選択比を向上できること、およびこのスペクトル強度比( $S_{11}/N_{11} = S_{11}/(N_{11} + S_{11})$ )が小さいほど選択比をより向上できることが証明した。

【0036】次に、スペクトル強度比( $S_{11}/N_{11} = S_{11}/(N_{11} + S_{11})$ )が5%以下の無機SiO<sub>2</sub>G膜を絶縁膜の一部に使用したDRAMの製造方法の一例を図6～図36を用いて説明する。

【0037】図6に示すように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL( $WL_{n-1}$ 、 $WL_n$ 、 $WL_{n+1}$ …)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース・ドレインの一方は、情報蓄積容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0038】このDRAMを製造するには、まず図7に示すように、p型で比抵抗が10Ωcm程度の半導体基板1を用意し、この半導体基板1の主面の素子分離領域をエッチングして溝を形成した後、この溝の内部に酸化シリコン膜7を埋め込んで素子分離溝を形成する。

【0039】次に、図8に示すように、メモリセルを形成する領域(メモリアレイ)の半導体基板1にn型不純物、例えばP(リン)をイオン打ち込みしてn型半導体

領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、例えばB(ホウ素)をイオン打ち込みしてp型ウエル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、例えばP(リン)をイオン打ち込みしてn型ウエル12を形成する。n型半導体領域10は、入出力回路などから半導体基板1を通してメモリアレイのp型ウエル11にノイズが侵入するのを防ぐために形成する。

【0040】次に、MISFETのしきい値電圧を調整するための不純物、例えばBF<sub>3</sub>(フッ化ホウ素)をp型ウエル11およびn型ウエル12にイオン打ち込みし、次いでp型ウエル11およびn型ウエル12の各表面をHF(フッ酸)系の洗浄液を使って除去した後、半導体基板1をウェット酸化してp型ウエル11およびn型ウエル12の各表面に清浄なゲート酸化膜13を形成する。

【0041】次に、図9に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。また、ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0042】ゲート電極14A(ワード線WL)およびゲート電極14B、14Cは、例えばP(リン)などのn型不純物をドーパした多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部にWN(タンタム・ニオブ・ナイトライド)膜とW膜とをスパッタリング法で堆積し、さらにその上部に酸化シリコン膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターニングすることによって形成する。

【0043】次に、図10に示すように、n型ウエル12にp型不純物、例えばB(ホウ素)をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp型半導体領域17を形成する。また、p型ウエル11にn型不純物、例えばP(リン)をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0044】次に、図11に示すように、半導体基板1上にCVD法で酸化シリコン膜20を堆積した後、メモリアレイの酸化シリコン膜20をフォトレジスト膜で覆い、周辺回路の酸化シリコン膜20を異方性エッチングすることにより、周辺回路のゲート電極14B、14Cの側壁にサイドウォールスヘーサ20aを形成する。こ

のエッチングは、ゲート酸化膜13や素子分離溝5に埋め込まれた酸化シリコン膜7の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜20の選択比が高くなるようなエッチングガスを使用して行う。また、ゲート電極14B、14C上の窒化シリコン膜15の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0045】次に、周辺回路のn型ウエル12にp型不純物、例えばB（ホウ素）をイオン打ち込みしてpチャネル型MISFETのp型半導体領域22（ソース、ドレイン）を形成し、周辺回路のp型ウエル11にn型不純物、例えばAs（ヒ素）をイオン打ち込みしてnチャネル型MISFETのn型半導体領域23（ソース、ドレイン）を形成する。これにより、周辺回路にpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0046】次に、図12に示すように、半導体基板1上にSiO<sub>2</sub>膜24をフリン塗布してゲート電極14A、ワード線WL1のスペースをこのSiO<sub>2</sub>膜24で埋めた後、半導体基板1を400℃程度で熱処理してSiO<sub>2</sub>膜24をベークする。このSiO<sub>2</sub>膜24は、前述したFT-IRスペクトル強度比（Si—N/Si—O）が5%以下のポリシラザン系無機SiO<sub>2</sub>を使用する。

【0047】SiO<sub>2</sub>膜24は、CVD法で堆積した酸化シリコン膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、ゲート電極14A（ワード線WL1）のスペースがフォトリソグラフィの解像限界程度まで微細化されている場合でも、このスペースを良好に埋め込むことができる。

【0048】また、SiO<sub>2</sub>膜24は、BF<sub>3</sub>Si膜などで必要とされる高温・長時間の熱処理を行わなくとも高いリフロー性が得られるため、メモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができ、かつゲート電極14A（ワード線WL1）およびゲート電極14B、14Cを構成するタングステン（W膜）が熱処理時に酸化するのを抑制できるので、FT-IRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。

【0049】SiO<sub>2</sub>膜24のリフロー性をさらに向上させるために、上記ポリシラザン系無機SiO<sub>2</sub>にリン（P）またはホウ素（B）あるいはそれらの両方を添加したものを使用してもよい。

【0050】次に、図13に示すように、SiO<sub>2</sub>膜24の上部に酸化シリコン膜25を堆積し、この酸化シリコン膜25をCMP法で研磨してその表面を平坦化する。酸化シリコン膜25は、例えば酸素（O<sub>2</sub>）とテトラエトキシシラン（TEOS）とをソーラークワに用いたプラ

ズマCVD法で堆積する。

【0051】このように、本実施の形態では、ゲート電極14A（ワード線WL1）およびゲート電極14B、14Cの上部に成膜直後でも平坦性が良好なSiO<sub>2</sub>膜24を塗布し、さらにその上部に堆積した酸化シリコン膜25をCMP法で平坦化する。これにより、ゲート電極14A（ワード線WL1）間の微細なスペースのギャップフィル性が向上すると共に、ゲート電極14A、ワード線WL1およびゲート電極14B、14Cの上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現することができる。

【0052】次に、図14に示すように、酸化シリコン膜25の上部に酸化シリコン膜26を堆積する。この酸化シリコン膜26は、CMP法で研磨されたときに生じた前記酸化シリコン膜25の表面の微細な傷を補修するために堆積する。酸化シリコン膜26は、例えば酸素（O<sub>2</sub>）とテトラエトキシシラン（TEOS）とをソーラークワに用いたプラズマCVD法で堆積する。酸化シリコン膜25の上部には、上記酸化シリコン膜26に代えてPSG（Phospho-Silicate Glass）膜などを堆積してもよい。

【0053】次に、図15に示すように、酸化シリコン膜26の上部に形成したフォトリソレジスト膜27をマスクにしてメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の酸化シリコン膜26、25をドライエッチングし、続いて窒化シリコン膜20をエッチングストップに用いてSiO<sub>2</sub>膜24をドライエッチングする。

【0054】このとき、スペクトル強度比（Si—N/Si—O）が5%以下のポリシラザン系無機SiO<sub>2</sub>で構成されたSiO<sub>2</sub>膜24は、窒化シリコン膜20に対するエッチング選択比が高い（ゲート電極14Aの肩部で10程度、ゲート電極14Aのスペースの底部で20程度）ので、C（炭素）/F（フッ素）比の高いフルオロカーボン系のガス（C<sub>4</sub>F<sub>8</sub>、C<sub>4</sub>F<sub>6</sub>、C<sub>3</sub>F<sub>8</sub>、C<sub>2</sub>F<sub>4</sub>など）を多く含有するエッチングガスを使用しなくとも窒化シリコン膜20が完全に除去されないようにすることができる。

【0055】続いて、図16に示すように、上記フォトリソレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の窒化シリコン膜15とゲート酸化膜13とを除去することにより、n型半導体領域19（ソース、ドレイン）の一方の上部にコンタクトホール（接続孔）28を形成し、他方の上部にコンタクトホール（接続孔）29を形成する。

【0056】このエッチングは、酸化シリコン膜、ゲート酸化膜13および素子分離溝5内の酸化シリコン膜

7)に対する窒化シリコン膜15の選択比が高くなるような条件で行い、n型半導体領域19や素子分離溝16が深く削れないようにする。また、このエッチングは、窒化シリコン膜15が異方的にエッチングされるような条件で行い、ゲート電極14A(ワード線WL)の側壁に窒化シリコン膜15が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A(ワード線WL)に対して自己整合で形成される。なお、コンタクトホール28、29をゲート電極14A(ワード線WL)に対して自己整合で形成するには、あらかじめ窒化シリコン膜15を異方性エッチングしてゲート電極14A(ワード線WL)の側壁にサイドウォールスペーサを形成してあってもよい。

【0057】このように、ゲート電極14A(ワード線WL)のスペースを埋め込むSiO<sub>2</sub>膜24として、スパクトル強度比(Si-N/Si-O)が5%以下のポリシラザン系無機SiO<sub>2</sub>を使用することにより、SiO<sub>2</sub>膜24のエッチングが途中で停止してコンタクトホール28、29が非開孔になるといった不具合を生じることなく、SiO<sub>2</sub>膜、窒化シリコン膜の選択比を向上させることができる。

【0058】次に、図17に示すように、コンタクトホール28、29の内部にプラグ30を形成し、次いで酸化シリコン膜26の上部に酸化シリコン膜31を堆積した後、半導体基板1を800℃程度で熱処理する。プラグ30は、酸化シリコン膜26の上部にn型不純物(例えばP(リン))をトープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。また、上記熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19(ソース、ドレイン)に拡散し、n型半導体領域19が低抵抗化される。

【0059】次に、図18に示すように、フォトレジスト膜32をマスクにしたドライエッチングで前記コンタクトホール28の上部の酸化シリコン膜31を除去して、プラグ30の表面を露出させる。次に、フォトレジスト膜32を除去した後、図19に示すように、フォトレジスト膜33をマスクにしたドライエッチングで周辺回路領域の酸化シリコン膜31、26、25、SiO<sub>2</sub>膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn型半導体領域23(ソース、ドレイン)の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp型半導体領域22(ソース、ドレイン)の上部にコンタクトホール36、37を形成する。

【0060】上記のように、メモリアレイの酸化シリコン膜31を除去してプラグ30の表面を露出させるエ

ッチングと、周辺回路領域にコンタクトホール34、37を形成するエッチングを別工程で行うことにより、深いコンタクトホール34、37を形成する際にプラグ30が削れるのを防ぐことができる。プラグ30の表面を露出させるエッチングとコンタクトホール34、37を形成するエッチングは、上記と逆の順序で行ってもよい。

【0061】次に、フォトレジスト膜33を除去した後、図20に示すように、酸化シリコン膜31の上部にビット線BLと周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まず酸化シリコン膜31の上部にTi膜をスパッタリング法で堆積し、半導体基板1を800℃程度で熱処理する。次いで、Ti膜の上部にTiN膜をスパッタリング法で堆積し、さらにその上部にW膜と窒化シリコン膜40とをCVD法で堆積した後、フォトレジスト膜41をマスクにしてこれらの膜をパターンニングする。

【0062】酸化シリコン膜31の上部にTi膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、Ti膜とSi基板とが反応し、nチャネル型MISFETQnのn型半導体領域23(ソース、ドレイン)の表面とpチャネル型MISFETQpのp型半導体領域22(ソース、ドレイン)の表面とに低抵抗のTiSi<sub>2</sub>(チタンシリサイド)層42が形成される。図示は省略するが、このとき、メモリセル選択用MISFETQsのn型半導体領域19の上部のコンタクトホール28に埋め込まれたプラグ30の表面にもTiSi<sub>2</sub>層42が形成される。これにより、n型半導体領域23およびp型半導体領域22に接続される配線(ビット線BL、第1層配線38、39)のコンタクト抵抗を低減することができる。また、ビット線BLをW膜、TiN膜、Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができ、かつビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができる。さらに、周辺回路の第1層配線(38、39)をビット線BLと同層の配線で構成した場合は、第1層配線をメモリセル上層に形成されるA1配線で構成する場合に比べて、周辺回路のMISFET(nチャネル型MISFETQn、pチャネル型MISFETQp)と第1層配線とを接続するコンタクトホール(34、37)のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0063】次に、フォトレジスト膜41を除去した後、図21に示すように、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方

性エッチングして形成する。

【0064】次に、図22に示すように、ビット線BLおよび第1層配線38、39の上部にSOG膜44をスピンドラして形成する。このSOG膜44は、前述したFET-1 Rスペクトル強度比 $(S_{1-N}/S_{1-O})$ が5%以下のポリシラゼン系無機SOGを使用してもよく、あるいはこのスペクトル強度比が5%を超える無機SOGや、有機SOGを使用してもよい。

【0065】SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、ビット線BLのスペースを良好に埋め込むことができる。また、SOG膜44は、PPSG膜で必要とされる高温、長時間の熱処理を行わなくても高いリフロー性を得られるため、ビット線BLの下層に形成されたメモリセル選択用MISFETQsのソース・ドレインや周辺回路のMISFET(nチャネル型MISFETQn、pチャネル型MISFETQp)のソース・ドレインに含まれる不純物の熱拡散を抑制して接合化を図ることができる。さらに、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cを構成するマスク(W膜)の酸化を抑制できるので、DRAMメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の酸化を抑制して配線低抵抗の低減を図ることができる。

【0066】次に、図23に示すように、SOG膜44の上部に酸化シリコン膜45を堆積し、次いでこの酸化シリコン膜45をCMP法で研磨してその表面を平坦化した後、酸化シリコン膜45の上部に酸化シリコン膜46を堆積する。酸化シリコン膜45、46は、例えば酸素( $O_2$ )とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。また、酸化シリコン膜46は、CMP法で研磨されたときに生じた前記酸化シリコン膜45の表面の微細な傷を補修するために堆積する。

【0067】次に、図24に示すように、フォトリソレジスト膜47をマスクにしたドライエッチングでコンタクトホール29の上部の酸化シリコン膜46、45、SOG膜44および酸化シリコン膜31を除去してフラグ30の表面に達するスルーホール48を形成する。このエッチングは、酸化シリコン膜46、45、S1およびSOG膜44に対する酸化シリコン膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部の酸化シリコン膜40やサイトウ・ホールフベサ43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0068】次に、図25に示すように、スルーホール

48の内部にフラグ49を形成する。フラグ49は、酸化シリコン膜46の上部にn型不純物(例えばP(リン))をドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール48の内部に残すことにより形成する。

【0069】次に、図26に示すように、酸化シリコン膜46の上部に窒化シリコン膜51をCVD法で堆積した後、フォトリソレジスト膜52をマスクにしたドライエッチングで周辺回路領域の窒化シリコン膜51を除去する。メモリアレイに残った窒化シリコン膜51は、後述する情報蓄積用容量素子の下部電極を形成する工程で下部電極の間の酸化シリコン膜をエッチングする際のエッチングストパとして使用される。

【0070】次に、フォトリソレジスト膜52を除去した後、図27に示すように、窒化シリコン膜51の上部に酸化シリコン膜53を堆積し、フォトリソレジスト膜54をマスクにしたドライエッチングで酸化シリコン膜53および窒化シリコン膜51を除去することにより、スルーホール48の上部に溝55を形成する。このとき同時に、メモリアレイの周囲にメモリアレイを取り囲む枠状の溝56を形成する。酸化シリコン膜53は、例えば酸素( $O_2$ )とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0071】次に、フォトリソレジスト膜54を除去した後、図28に示すように、酸化シリコン膜53の上部に、情報蓄積用容量素子の下部電極材料として使用されるn型不純物(例えばP(リン))をドーパした多結晶シリコン膜56をCVD法で堆積した後、多結晶シリコン膜56の上部に溝57、58aを埋め込むのに十分な厚みのSOG膜57をスピンドラして形成する。

【0072】次に、図29に示すように、SOG膜57をエッチバックし、さらに酸化シリコン膜53の上部の多結晶シリコン膜56をエッチバックすることにより、溝57、58aの内側(内壁および底部)に多結晶シリコン膜59を残す。

【0073】次に、図30に示すように、周辺回路領域の酸化シリコン膜53をフォトリソレジスト膜58で覆い、溝57の内部のSOG膜57と溝57の隙間の酸化シリコン膜53とをウェットエッチングで除去することにより、情報蓄積用容量素子の下部電極60を形成する。このとき、溝57の隙間には酸化シリコン膜51が残っているので、この隙間の酸化シリコン膜46がエッチングされることはない。また、周辺回路領域の酸化シリコン膜53を覆うフォトリソレジスト膜58の一端は、メモリア

レイの最も外側に形成される下部電極60と周辺回路領域との境界部、すなわち溝59aの上部に配置される。このようにすると、フォトリソist膜58に合わせずれが生じた場合でも、その端部がメモリアレイの最も外側に形成される下部電極60上に位置することがないので、この下部電極60の溝59aの内部にSOG膜72が残ったり、この下部電極60と溝59aとの隙間に酸化シリコン膜73が残ったりすることはない。また、周辺回路領域の酸化シリコン膜73の一部がエッチング液に曝されることもないので、周辺回路領域の酸化シリコン膜73の一部が削れて深い溝ができていたりすることもない。

【0074】次に、フォトリソist膜58を除去し、次いで下部電極60を構成する多結晶シリコン膜75aの酸化を防止するために、半導体基板1をアンモニア雰囲気中、800℃程度で熱処理して多結晶シリコン膜75aの表面を窒化した後、図31に示すように、下部電極60の上部にTa<sub>2</sub>O<sub>5</sub>(酸化タングステン)膜61をCVD法で堆積し、次いで半導体基板1を800℃程度で熱処理してTa<sub>2</sub>O<sub>5</sub>膜61の欠陥を修復した後、Ta<sub>2</sub>O<sub>5</sub>膜61の上部にCVD法とスパッタリング法とでTiN膜62を堆積し、フォトリソist膜63をマスクにしたドライエッチングでTiN膜62およびTa<sub>2</sub>O<sub>5</sub>膜61をパターンニングすることにより、TiN膜62からなる上部電極と、Ta<sub>2</sub>O<sub>5</sub>膜61からなる容量絶縁膜と、多結晶シリコン膜75aからなる下部電極60とで構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用M1SFE TQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0075】次に、フォトリソist膜63を除去した後、図32に示すように、情報蓄積用容量素子Cの上部に膜厚100nm程度の酸化シリコン膜64を堆積する。酸化シリコン膜65は、例えば酸素(O<sub>2</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。続いて、フォトリソist膜65をマスクにしたドライエッチングで周辺回路の第1層配線38の上部の酸化シリコン膜61、63、64、65、SOG膜44および窒化シリコン膜46を除去することにより、スルーホール66を形成する。

【0076】次に、フォトリソist膜65を除去した後、図33に示すように、スルーホール66の内部にプラグ67を形成し、続いて酸化シリコン膜64の上部に第2層配線68、69を形成する。プラグ67は、酸化シリコン膜64の上部にスパッタリング法でTiN膜を堆積し、さらにその上部にCVD法でW膜を堆積した後、これらの膜をエッチバックしてスルーホール66の内部に残すことにより形成する。第2層配線68、69は、酸化シリコン膜64の上部にスパッタリング法でTiN膜、Al(アルミニウム)膜、TiN膜を順次堆積

した後、フォトリソist膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0077】次に、図34に示すように、第2層配線68、69の上部に層間絶縁膜を堆積する。層間絶縁膜は、例えばSOG膜72および酸化シリコン膜73の積層膜で構成する。SOG膜72は、前述したFT-IRスペクトル強度比( $S_{11-N}/S_{11-O}$ )が5%以下のポリシラザン系無機SOGを使用してスピン塗布し、酸化シリコン膜73は、例えば酸素(O<sub>2</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0078】次に、図35に示すように、情報蓄積用容量素子Cの上部の層間絶縁膜にスルーホール74(接続孔)74を形成し、周辺回路の第2層配線69の上部の層間絶縁膜にスルーホール74(接続孔)74を形成する。スルーホール74、74は、フォトリソist膜をマスクにしたドライエッチングで酸化シリコン膜73およびSOG膜72を除去することにより形成する。

【0079】上記スルーホール74、74を形成するためのドライエッチングでは、スルーホール74の底部に第2層配線69の表面が露出する。この第2層配線69の最上層はTiN膜で構成されているために、第2層配線69を覆う層間絶縁膜の一部を構成するSOG膜72として、窒化シリコン膜に対するドライエッチング選択比が低いSOG材料(例えばスペクトル強度比( $S_{11-N}/S_{11-O}$ )が5%を超えるポリシラザン系無機SOG)を使用すると、窒化シリコン膜と同様に窒素を含有するTiN膜がオーバーエッチングされてAl膜が露出する。すると、次の工程でスルーホール74、74の内部にプラグを埋め込む際、その前処理としてスルーホール74、74の内部を洗浄したときに、Al膜が洗浄液に晒されて腐蝕を引き起こすことがある。

【0080】ところが、SOG膜72として、窒化シリコン膜に対するドライエッチング選択比が高い材料、すなわちスペクトル強度比( $S_{11-N}/S_{11-O}$ )が5%以下のポリシラザン系無機SOGを使用した場合には、窒化シリコン膜と同じく含窒素化合物であるTiN膜がオーバーエッチングされてAl膜が露出するのを防ぐことができるので、第2層配線69の腐蝕による断線などを防止することができる。なお、第2層配線69の最上層をTiN膜に代えて他の窒化金属膜(例えばWN膜)で構成した場合でも、同様の効果(Al膜の腐蝕防止)を得ることができる。

【0081】次に、図36に示すように、スルーホール74、74の内部にプラグ75aを形成し、続いて層間絶縁膜の上部に第3層配線77、78、79を形成する。プラグ75aは、層間絶縁膜の上部にスパッタリング法でTiN膜を堆積し、さらにその上部にCVD法でW膜を堆積した後、これらの膜をエッチバックしてスルーホール74、74の内部に残すことにより形成する。第3層

配線77~79は、層間絶縁膜の上部にスパッタリング法でTiN膜、Al膜、TiN膜を堆積した後、フォトリソリット膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0082】その後、第3層配線77~79の上部に酸化シリコン膜と窒化シリコン膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0083】以上、本発明者によってなされた発明を本発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0084】前記実施の形態では、DRAMの製造プロセスに適用した場合について説明したが、本発明は、メモリLSIやロジックLSIを問わず、一般に微細な間隔で形成された電極配線のスペースにSOG膜を埋め込むプロセスを有する高集積LSIに広く適用することができる。

【0085】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0086】本発明によれば、窒化シリコン膜をエッチングストップに用いたSAC（セルフアラインコンタクト）技術を利用し、電極配線のスペースに埋め込んだSOG膜にコンタクトホールを形成する際に、コンタクトホールの非開孔を生じることなく、SOG膜、窒化シリコン膜の選択比を向上することができる。

【0087】本発明によれば、少なくともその上部に窒化金属膜が積層されたAl系の導電膜からなる配線の上部にSOG膜を含んだ層間絶縁膜を形成し、この層間絶縁膜をドライエッチングしてこの配線の上部に接続孔を形成する際に、窒化金属膜がオーバーエッチングされてAl系の導電膜が接続孔の底部に露出するのを防ぐことができるので、配線腐蝕を防止することができる。

【図面の簡単な説明】

【図1】ポリシラザン系の無機SOGの分子構造を示す模式図である。

【図2】酸化反応促進剤の添加量を変えた原料ポリマーをシリコン基板上にスピンドルしてバーク処理した結果得られた無機SOG膜のFT-IRスペクトル強度比（Si-N/Si-O）を示すグラフである。

【図3】(a)、(b)は、無機SOG膜の対p-TEOS膜エッチング速度比を調べるために行ったテスト方法を示す半導体基板の要部断面図である。

【図4】フォトリソリット膜の孔径とエッチング深さとの関係を、無機SOG膜を使用した場合とp-TEOS膜を使用した場合とでそれぞれ測定した結果を示すグラフである。

【図5】無機SOG膜の対p-TEOS膜エッチング速度比を調べるために行ったテスト結果を示すグラフである。

【図6】本発明の一実施の形態であるDRAMの回路図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

方法を示す半導体基板の要部断面図である。

【図30】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

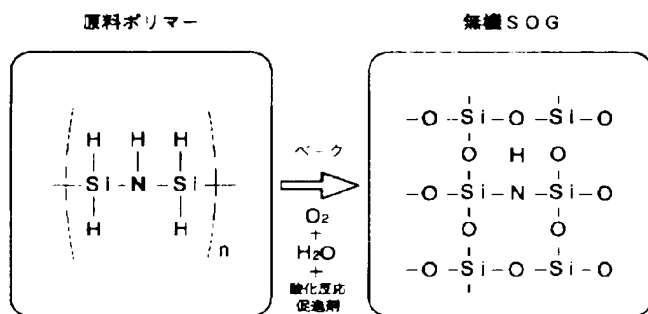
【符号の説明】

- 1 半導体基板
- 1A 半導体チップ
- 2 SOG膜
- 3 酸化シリコン膜
- 4 フォトリソスト膜
- 5 基子分離溝
- 6 酸化シリコン (p-TEOS) 膜
- 7 酸化シリコン膜
- 10 n型半導体領域
- 11 p型ウェル
- 12 n型ウェル
- 13 ゲート酸化膜
- 14A~14C ゲート電極
- 15 窒化シリコン膜
- 16 フォトリソスト膜
- 17 p+型半導体領域
- 18 n+型半導体領域
- 19 n型半導体領域
- 20 窒化シリコン膜
- 20a サイドウォールスペーサ
- 22 p+型半導体領域
- 23 n+型半導体領域
- 24 SOG (スピンオンガラス) 膜
- 25 酸化シリコン膜
- 26 酸化シリコン膜
- 27 フォトリソスト膜
- 28 コンタクトホール (接続孔)
- 29 コンタクトホール (接続孔)
- 30 フラグ

- 31 酸化シリコン膜
- 32 フォトリソスト膜
- 33 フォトリソスト膜
- 34~37 コンタクトホール
- 38、39 第1層配線
- 40 窒化シリコン膜
- 41 フォトリソスト膜
- 42 TEOS<sub>2</sub> 層
- 43 サイドウォールスペーサ
- 44 SOG膜
- 45 酸化シリコン膜
- 46 酸化シリコン膜
- 47 フォトリソスト膜
- 48 スルーホール
- 49 フラグ
- 51 窒化シリコン膜
- 52 フォトリソスト膜
- 53 酸化シリコン膜
- 54 フォトリソスト膜
- 55 溝
- 55a 溝
- 56 多結晶シリコン膜
- 57 SOG膜
- 58 フォトリソスト膜
- 60 下部電極
- 61 Ta<sub>2</sub>O<sub>5</sub> (酸化タンタル) 膜
- 62 TiN膜 (上部電極)
- 63 フォトリソスト膜
- 64 酸化シリコン膜
- 65 フォトリソスト膜
- 66 スルーホール
- 67 フラグ
- 68、69 第2層配線
- 72 SOG膜
- 73 酸化シリコン膜
- 74、75 スルーホール (接続孔)
- 76 フラグ
- 77~79 第3層配線
- BL ビット線
- C 情報蓄積用容量素子
- MARY メモリアレイ
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qs メモリセル選択用MISFET
- SA センサアンプ
- WD ワードドライバ

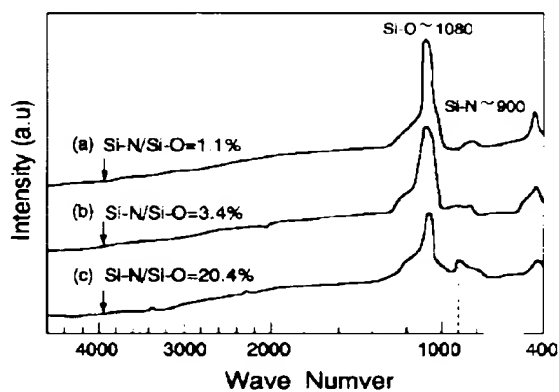
【図1】

図 1



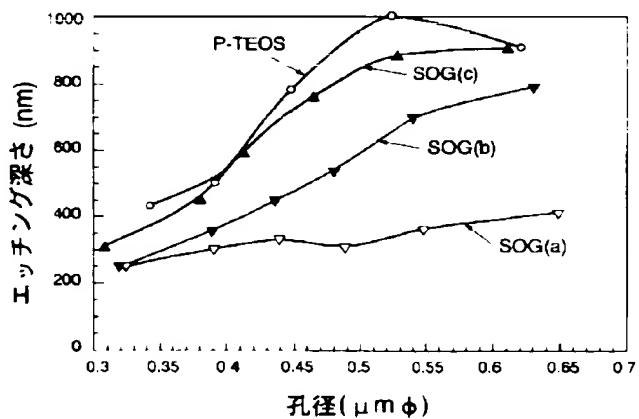
【図2】

図 2



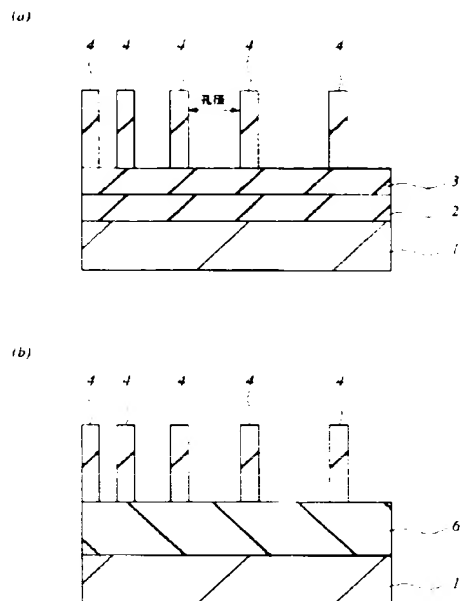
【図4】

図 4



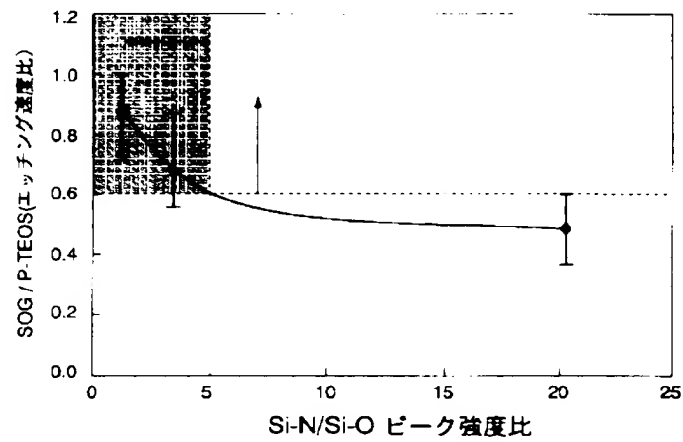
【図3】

図 3



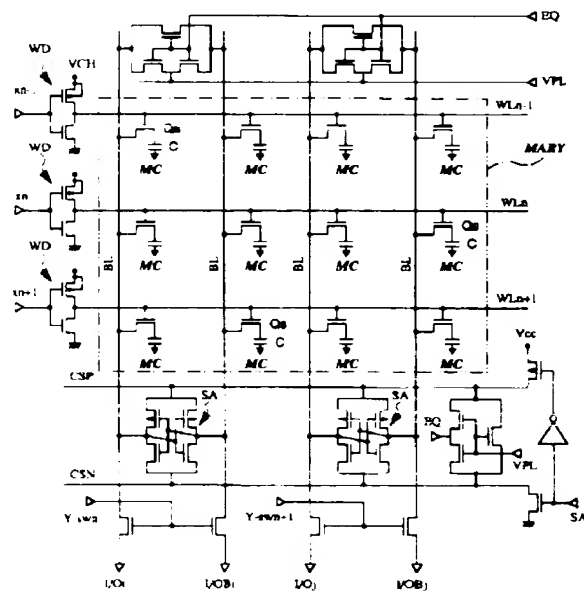
【図5】

図 5



【図6】

図 6

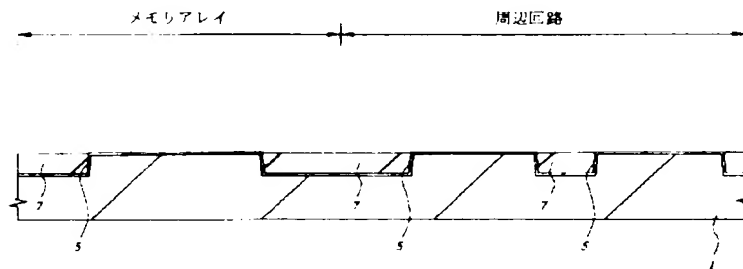


(14)

特開平11-145286

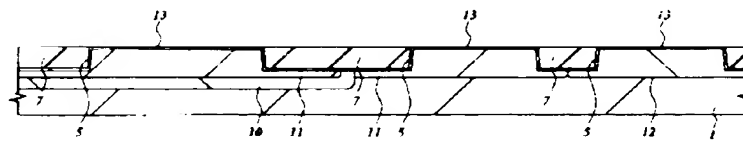
【図7】

図 7



【図8】

図 8

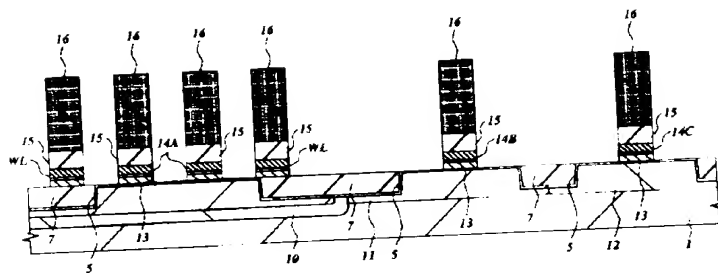


(15)

特開平11-145286

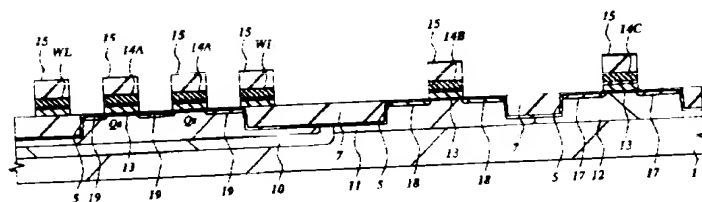
【図9】

図 9



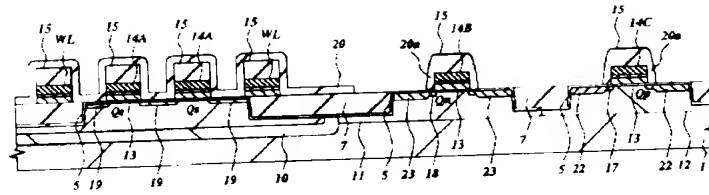
【図10】

図 10



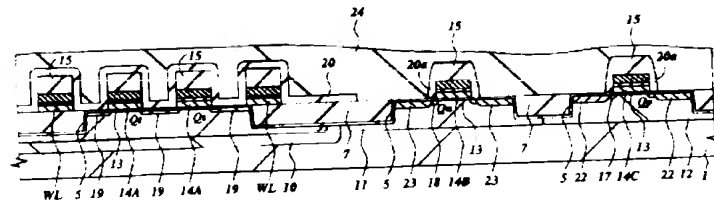
【図11】

図 11



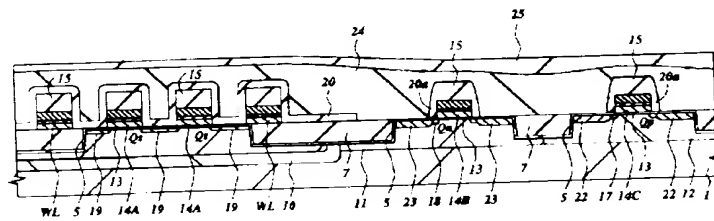
【図12】

図 12



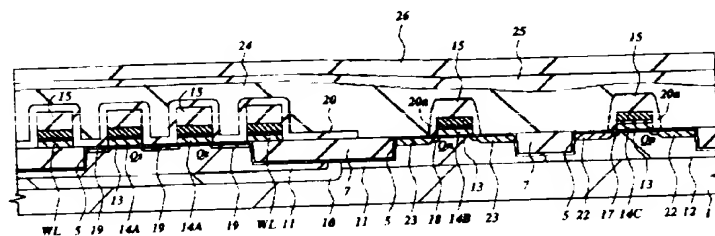
【図13】

図 13



【図14】

図 14

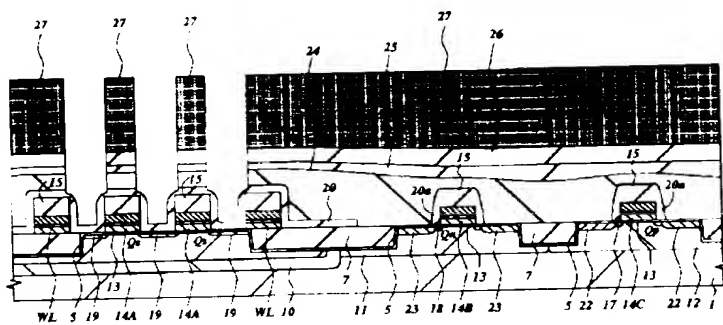


(18)

特開平11-145286

【図15】

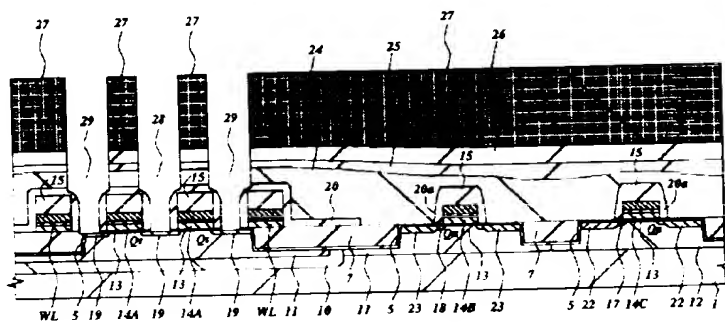
図 15



【図16】

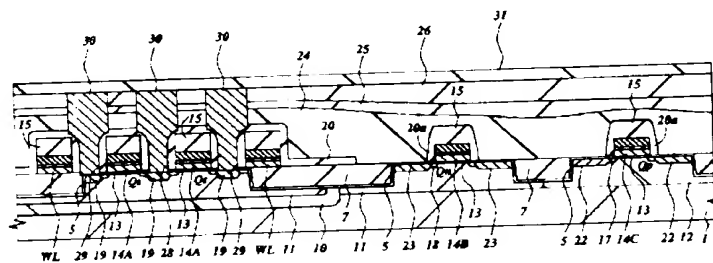
図 16

24 : SOG膜



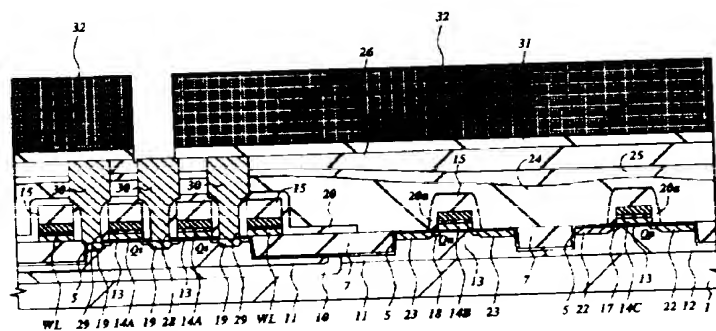
【図17】

図 17



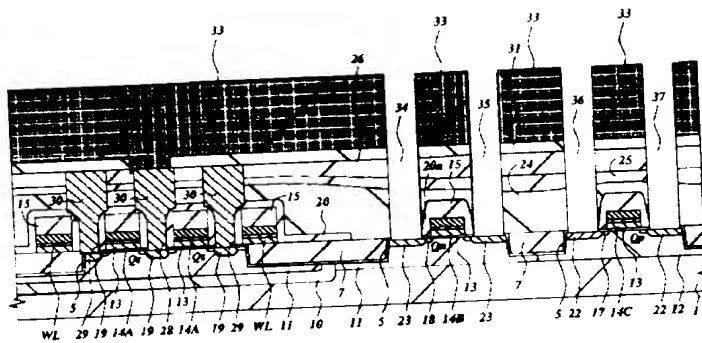
【図18】

図 18



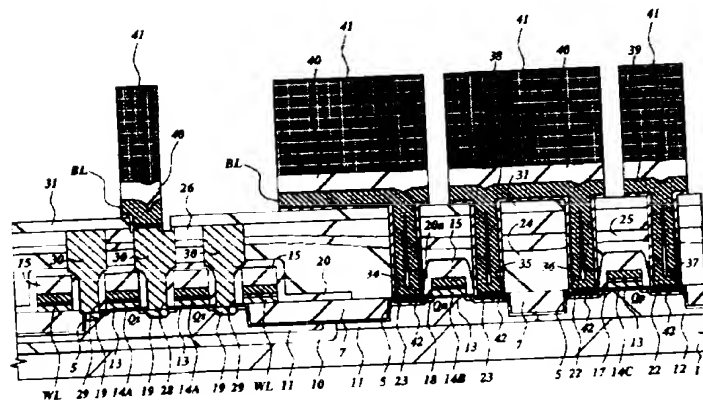
【図19】

図 19



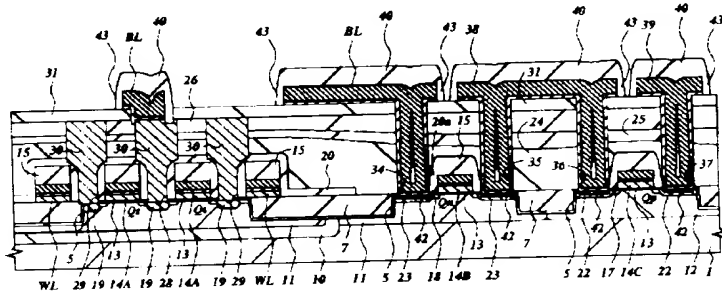
【図20】

図 20



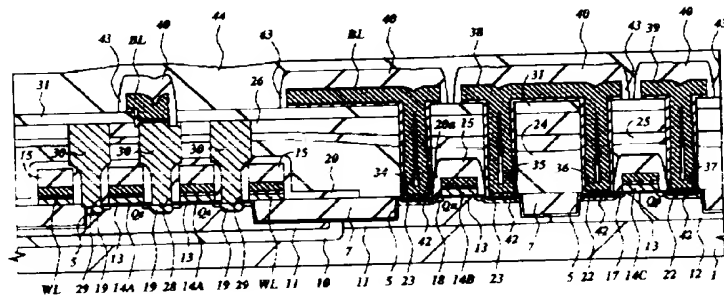
【図21】

図 21



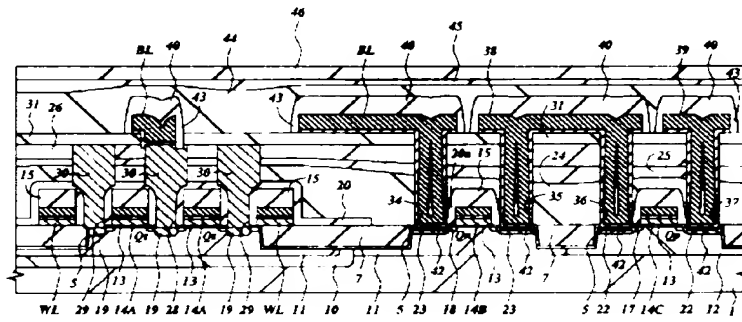
【図22】

図 22



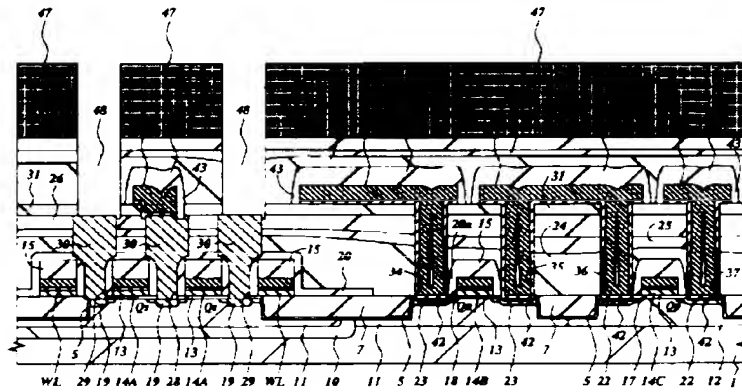
【図23】

図 23



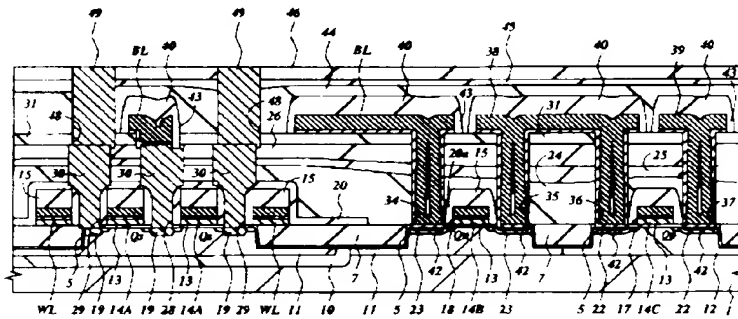
【図24】

図 24



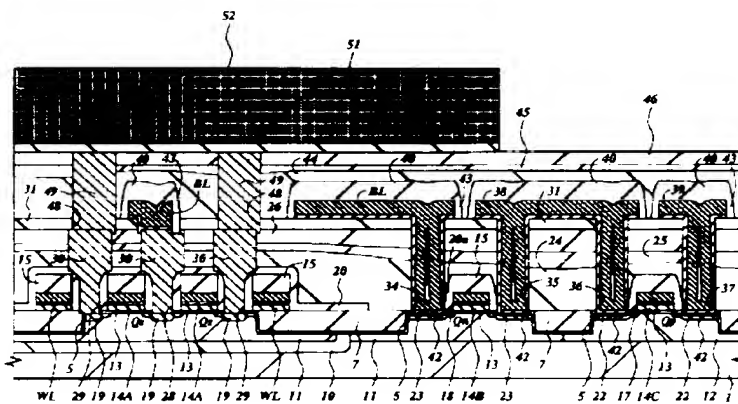
【図25】

図 25



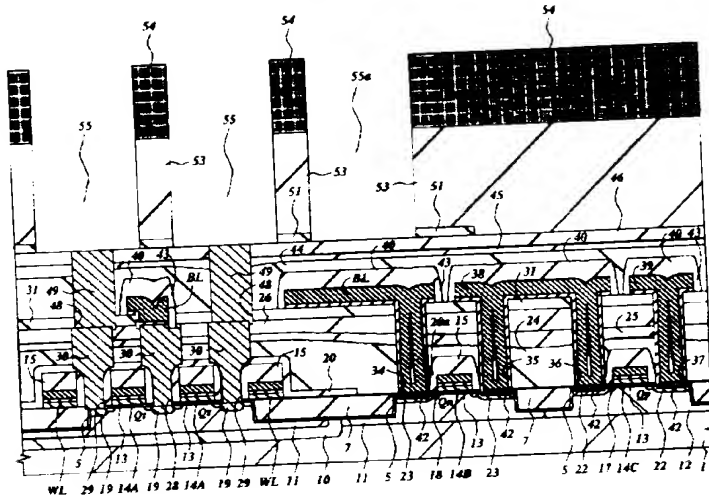
【図26】

図 26



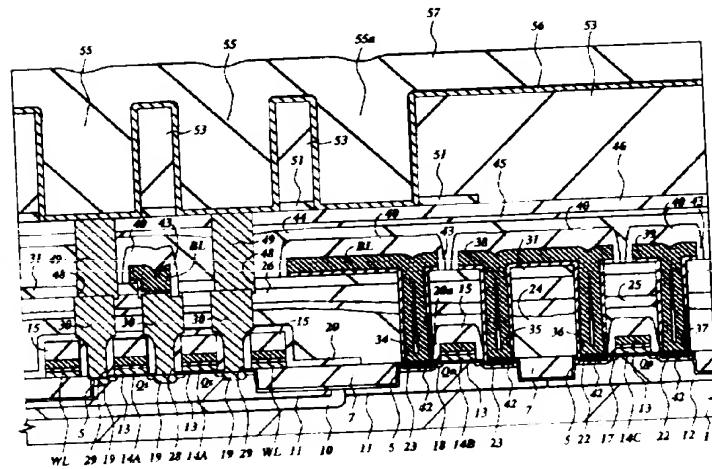
【図27】

図 27



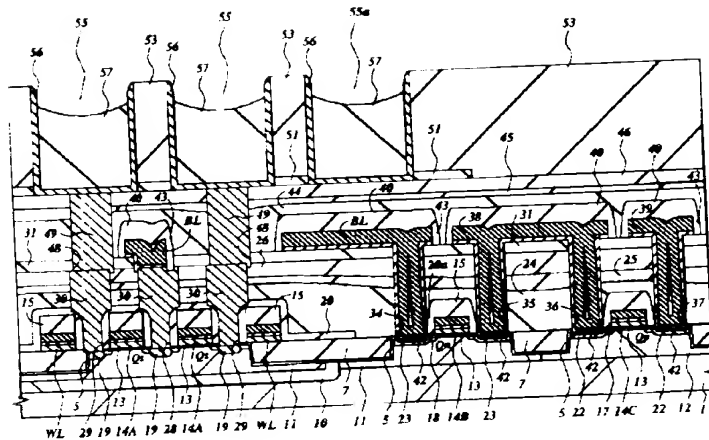
【図28】

図 28



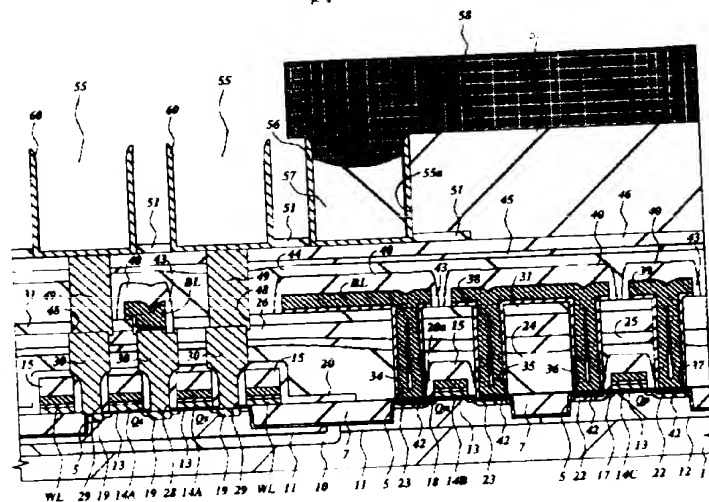
【図29】

図 29



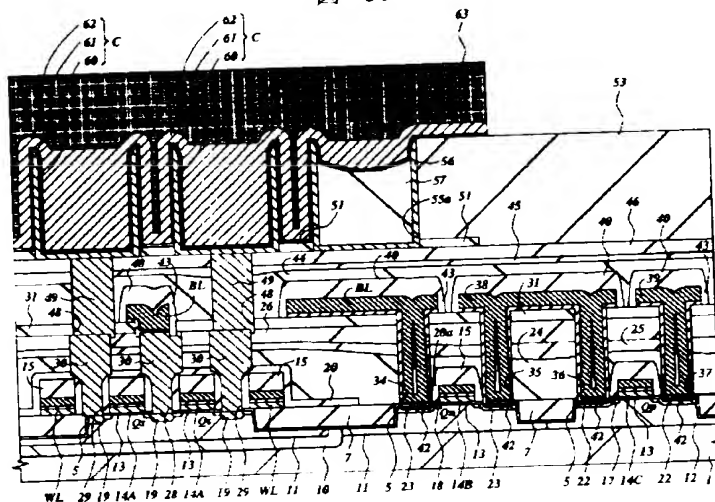
【図30】

図 30



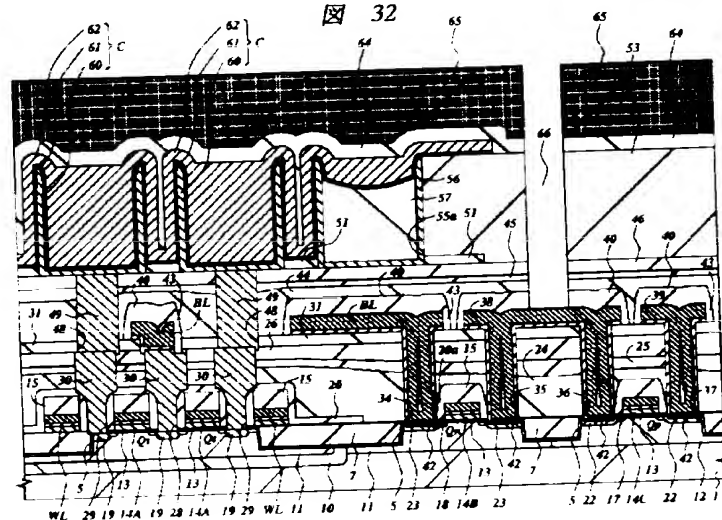
【図31】

図 31



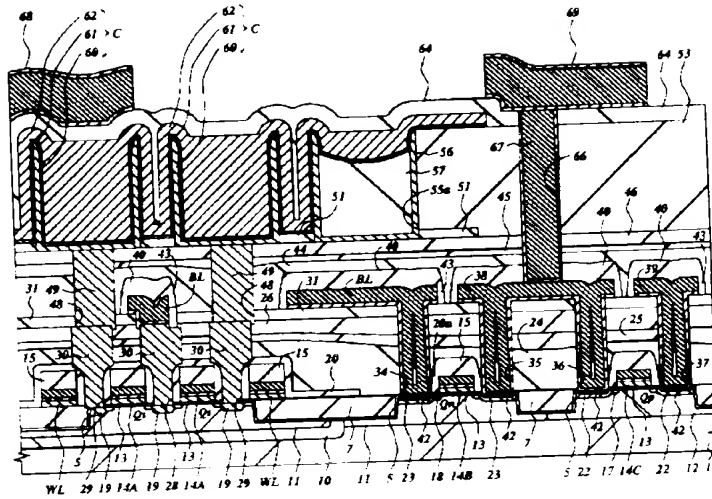
【図32】

図 32



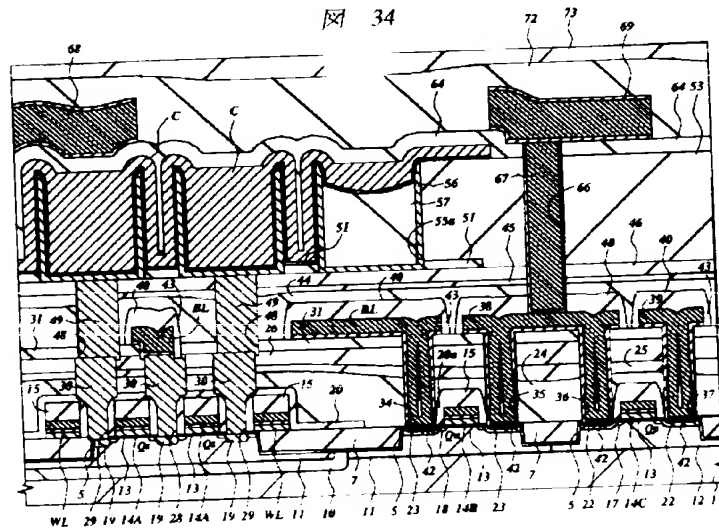
【図33】

図 33

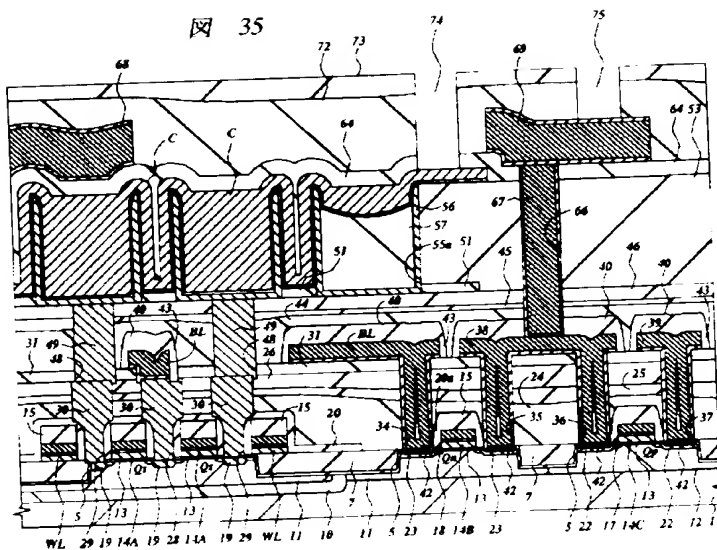


【図34】

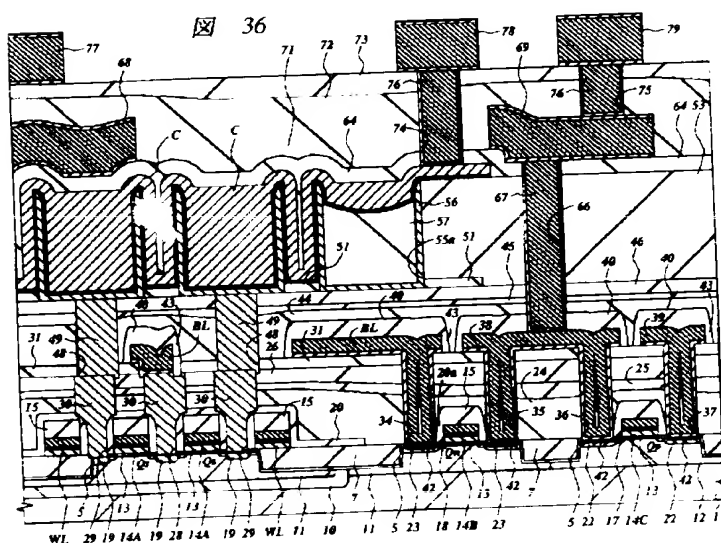
図 34



【図35】



【図36】



フロントページの続き

(51)Int. Cl.  
H01L 21/82L

識別記号

F I  
H01L 27/10

681F